



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

CF015463 US/maz  
Appln No. 09/884,065  
2001-2832

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 6月21日

出 願 番 号

Application Number:

特願2000-185803

出 願 人

Applicant(s):

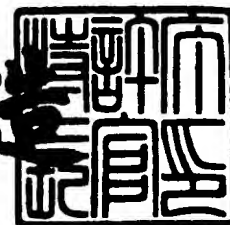
キヤノン株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 7月 3日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3062258

【書類名】 特許願

【整理番号】 4150016

【提出日】 平成12年 6月21日

【あて先】 特許庁長官殿

【国際特許分類】 B41J 25/00

【発明の名称】 印刷装置および印刷装置の制御方法

【請求項の数】 5

【発明者】

    【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社  
社内

    【氏名】 平野 義昭

【特許出願人】

    【識別番号】 000001007

    【氏名又は名称】 キヤノン株式会社

【代理人】

    【識別番号】 100075292

    【弁理士】

    【氏名又は名称】 加藤 卓

    【電話番号】 03(3268)2481

【手数料の表示】

    【予納台帳番号】 003089

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 印刷装置および印刷装置の制御方法

【特許請求の範囲】

【請求項 1】 PDL コントローラと所定の記録方式により構成されたプリンタエンジン本体とがパラレルインターフェースにより接続され、該インターフェースを介して印刷すべき画像データをDMA転送する印刷装置において、

前記PDLコントローラ内で展開した描画データを、一旦バッファメモリに書き込み、90度回転したデータを前記バッファメモリから読み出し、前記プリンタエンジン本体のメモリにDMA転送する手段を有することを特徴とする印刷装置。

【請求項 2】 描画データを上記バッファメモリサイズの所定の矩形領域に区分し、前記矩形領域ごとにPDL内メモリの前記矩形領域の先頭アドレス、有効印字領域幅、前記矩形領域の幅、前記矩形領域のライン数あるいは転送サイズ、および、エンジン本体メモリの前記矩形領域の先頭アドレス、有効印字領域幅、前記矩形領域の幅、前記矩形領域のライン数あるいは転送サイズを設定してDMA転送することを特徴とする請求項 1 に記載の印刷装置。

【請求項 3】 前記バッファメモリが $N \times M \text{ bit}$ のサイズを有し、 $N$ がPDL側データバスサイズの正の整数倍、及び $M$ がエンジン本体側データバスサイズの正の整数倍に相当することを特徴とする請求項 1 に記載の印刷装置。

【請求項 4】 前記 $N \times M \text{ bit}$ のバッファメモリが複数個設けられ、PDLメモリからバッファメモリに描画データを書き込むと同時にバッファメモリからエンジン本体メモリへデータを読み出して書き込むことを特徴とする請求項 3 に記載の印刷装置。

【請求項 5】 PDL コントローラと所定の記録方式により構成されたプリンタエンジン本体とがパラレルインターフェースにより接続され、該インターフェースを介して印刷すべき画像データをDMA転送するプリンタ装置の制御方法において、

前記PDLコントローラ内で展開した描画データを、一旦バッファメモリに書き込み、90度回転したデータを前記バッファメモリから読み出し、前記プリン

タエンジン本体のメモリにDMA転送する工程を有することを特徴とする印刷装置の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、PDLコントローラと所定の記録方式により構成されたプリンタエンジン本体とがパラレルインターフェースにより接続され、該インターフェースを介して印刷すべき画像データをDMA転送する印刷装置およびその制御方法に関するものである。

【0002】

【従来の技術】

従来、レーザビームプリンタで代表される電子写真方式のプリンタにおいては、ホストコンピュータ等の外部装置からPDL（ページ記述言語）などの形式で表現された印刷データ（コードデータやイメージデータ等）を受信し、PDLからビットマップデータへの展開を行なうPDLボードにより受信データに基づきビットマップデータを展開し、展開されたビットマップデータをビデオデータとしてプリンタエンジンに出力している。

【0003】

図14、図15は従来のPDLボードとプリンタエンジンの間のデータ転送の様子を示している。PDLボード内のメモリに展開した描画データを、バンド毎にエンジン本体のメモリへ転送するが、その際、バンド（1、2…N）と呼ばれる所定のデータ単位ごとに展開および転送が行なわれる。ここでは、PDLボードとプリンタエンジンの間で、回転などの処理を行なうことなく同一のデータがそのまま転送されている。

【0004】

最近では、この種の装置における解像度は非常に高くなってきており、それに伴って転送するビットマップデータも膨大な量になりつつある。

【0005】

従来ではPDLボードと、プリンタエンジンとの間で、シリアルインターフェ

ースによりシリアルデータとしてビットマップデータを転送する構成もあったが、最近では、上記のような転送量の増大に鑑みビットマップデータをパラレルデータとして転送するようになってきた。

#### 【0006】

すなわち、PDLボードとプリンタエンジンとの間を標準的なパラレルなインターフェース（以降、I/Fと表記する）、たとえばVLバス、PCIバス、IDEバスなどのI/Fを介して接続し、データ転送を行なう構成が知られており、これらのI/Fを用いて、PDL内で展開したビットマップデータを一度エンジン本体のRAMに格納してから印刷したり、同じバスを用いて、コマンド/ステータスデータの入出力も行なうようになりつつある。

#### 【0007】

##### 【発明が解決しようとする課題】

さらに、最近では、印刷処理のスループットを上げるために、所定サイズ of 用紙、たとえば、A4用紙に印刷する場合、エンジンでA4横用紙を用いる、つまり長手方向に主走査ラインが沿うような方向で用紙を搬送して印刷する手法が用いられている。この場合は、縦方向の処理を前提としてホストから送信され、また展開されたビットマップデータをいずれかの処理段階で90度回転する必要がある。

#### 【0008】

ところが、従来では、このような画像の回転を行なう場合は、PDLボードは展開時に回転したビットマップデータをPDLボード内のメモリに描画する方法が用いられていたが、このように展開時に描画データを回転すると、PDLボードの展開能力を充分発揮できないという問題があった。

#### 【0009】

本発明の課題は、上記の問題を解決し、印刷装置のスループットを低下させることなく画像の回転を行ない、高速な印刷を行なえるようにすることにある。

#### 【0010】

##### 【課題を解決するための手段】

本発明は上記従来の欠点を除去するために成されたものであり、PDLコント

ローラと所定の記録方式により構成されたプリンタエンジン本体とがパラレルインターフェースにより接続され、該インターフェースを介して印刷すべき画像データをDMA転送する印刷装置およびその制御方法において、前記PDLコントローラ内で展開した描画データを、一旦バッファメモリに書き込み、90度回転したデータを前記バッファメモリから読み出し、前記プリンタエンジン本体のメモリにDMA転送する構成を採用した。

【0011】

【発明の実施の形態】

以下に添付の図面を参照して本発明の実施形態を詳細に説明する。

【0012】

本発明においては、スループットを向上させるためにホストから受信したA4画像データをA4横用紙に印刷する場合、従来のようにPDLコントローラ側で回転したビットマップデータとして展開し、各バンド毎に描画しA4横用紙サイズの描画データを生成するのではなく、PDLコントローラ側では回転処理を行なうことなくメモリ内に縦用紙サイズの描画データを生成し、PDLボード内のメモリから本体のメモリへPCIコントローラを経由して描画データをDMA転送する際に、PCIコントローラ内に設けたバッファメモリを用いて描画データを回転させる。

【0013】

【第1の実施形態】

図1は本発明を採用した印刷システムの構成を示す。図1の装置は、PCIバス3を利用してPDLコントローラ部1とプリンタエンジン部2を接続する構成を有する。

【0014】

PDLコントローラ部1において、符号101はユーザーインターフェースのための表示パネルであり、パネルI/F102を介してPDL内のバス110に接続されている。

【0015】

符号103はホストI/Fであり、パーソナルコンピュータなどの外部機器1

04と接続するためのものであり、IEEE1284などのインターフェースにより構成される。

【0016】

符号105は画像データを発生する画像データ発生部であり、RAM106内にホストI/F103から受信したPDL形式などによる印刷データから展開したビットマップデータを書き込む。

【0017】

PDLコントローラ部1のROM107にはPDLコントローラ部1の動作を制御するCPU108のプログラム及び、フォントデータが書き込まれている。

【0018】

符号109はRAM106内に書き込まれた画像データ及び、コマンド/ステータスデータをプリンタエンジン2へ転送するPCIコントローラであり、PCIバス3に接続されている。

【0019】

符号331はCPU108からPCIコントローラ109へ出力されるCPU制御信号であり、332はPCIコントローラ109からCPU108へ出力されるバス制御信号である。

【0020】

符号4はPCIバス3に接続されたネットワーク送受信部であり、ネットワーク（イーサネットなど）を経由して外部機器5に接続され、PDLコントローラ部1は、前述の外部機器104だけではなく、外部機器5～ネットワーク送受信部4～PCIバス3～PCIコントローラ109経由でもPDLコードを受信することができる。

【0021】

一方、プリンタエンジン部2において、PCI I/F201はプリンタエンジン内のPCIコントローラであり、PDLコントローラ部1のRAM106、PCIコントローラ109を介して送られてくるビットマップデータ及び、コマンド/ステータスデータをプリンタエンジン内のRAM204へ転送する。符号202、203はプリンタエンジンの動作を制御するCPU及びROMであり、

符号205はRAM204内に格納された画像データをプリンタ206へ転送するプリンタI/F部である。プリンタ206は、レーザビーム方式などの記録方式により構成された記録機構である。

## 【0022】

図2は、上記のPCIコントローラ109の内部構造を詳細に示している。図2において、符号303はPDLボード内のデータバスで、340はPDL内のアドレスバスである。

## 【0023】

符号372、373、374はPCIバス3側の信号であり、それぞれ、AD（アドレスデータ）信号、コントロール信号、コマンド/バイトイネーブル信号に相当する。

## 【0024】

PDLコントローラ部1内のRAM106（図1）からエンジン本体内のRAM204（図1）へステータスデータを転送する場合は、PDLデータバス303から双方向バッファ305及び、データの並びがそのまま（31：0）のデータバス307を介して、一旦バッファメモリ用のFIFO308に格納された後、データバス317、選択信号328によりA入力を選択したセクタ313、データバス317、マスタコントローラ314を経由してPCIバス372に出力され、PCIコントローラ201を経由して、RAM204への書き込みが行なわれる。

## 【0025】

なお、図中の信号線に付した（31：0）のような表記は、その信号線が転送するビット数、あるいは位置を示している。たとえば、（31：0）は32ビットの信号（線）であり、「：」の左側がMSB側を、右側がLSB側を示すものとする。

## 【0026】

転送先アドレス及び、転送元アドレスはエンジンCPU202及び、PDL内のCPU108により設定できるが、まずエンジンCPU202より設定する方法を以下に述べる。



## 【0027】

PDLRAM106からエンジン本体内部RAM204へのデータ転送、及びエンジン本体内部RAM204からPDLRAM106へのデータ転送はDMAコントローラ322によりDMA転送により制御されるものであり、DMAコントローラ322内には2チャンネル分のDMAコントローラが存在する。

## 【0028】

RAM204への転送先アドレスは、エンジンCPU202によりPCIアドレスバス372、ターゲットコントローラ371、データバス365、AND回路337、OR回路338、データバス339を介してDMAコントローラ322内のアドレスカウンタ323に設定され、更にアドレスバス330を介してマスタコントローラ314に入力され、PCIアドレスバス372から出力される。ここで、アドレスカウンタ323内には2チャンネル分のアドレスカウンタがあり、ここではチャンネル1用のアドレスカウンタに転送先アドレスを設定している。

## 【0029】

また、転送元アドレスを設定する場合、エンジンCPU202はPCIアドレスデータバス372、ターゲットコントローラ371、データバス365、AND回路351、OR回路352、データバス353を介してアドレスカウンタ348に転送元アドレスが設定され、双方向バッファ341を介してアドレスバス340へ出力される。なお、アドレスカウンタ348内にも2チャンネル分のアドレスカウンタがあり、ここではチャンネル1用のアドレスカウンタに転送元アドレスを設定している。

## 【0030】

ここで、コマンド/バイトイネーブル信号374、デコーダ369を介してライト信号370が生成され、アドレスカウンタ323及び348へ入力される。また、PCIアドレスバス372、ターゲットコントローラ371、アドレスバス366、アドレスデコーダ360により、レジスタ選択信号361 (PCS (2:1))、363 (PCS (25:21))、362 (PCS (15:11)) が生成されるが、選択信号359 (PCS 2)、363 (PCS (25:21

))がHighのときは、AND回路337、OR回路338、データバス339を介して、データバス365が選択され、アドレスカウンタ323に入力され、転送先アドレスが設定される。

#### 【0031】

さらに、選択信号358 (PCS1)、362 (PCS (15:11))がHighのときはAND回路351、OR回路352、データバス353を介して、データバス365が選択され、アドレスカウンタ348に入力され、転送元アドレスが設定される。

#### 【0032】

同様にして、PDLコントローラ部1内のCPU108により転送先アドレス及び、転送元アドレスを設定する場合は、CPU108からライト信号349がアドレスカウンタ323及び348へ入力される。また、アドレスバス340、双方向バッファ341、アドレスデコーダ344により、レジスタ選択信号345 (LCS (2:1))、346 (LCS (25:21))、347 (LCS (15:11))が生成されるが、選択信号357 (LCS2)、346 (LCS (25:21))がHighのときはAND回路336、OR回路338、データバス339を介して、PDL内のデータバス307が選択され、アドレスカウンタ323に入力され、転送先アドレスが設定される。

#### 【0033】

さらに、選択信号356 (LCS1)、347 (LCS (15:11))がHighのときはAND回路350、OR回路352、データバス353を介して、PDL内のデータバス307が選択され、アドレスカウンタ348に入力され、転送元アドレスが設定される。

#### 【0034】

プリンタエンジン部2からのコマンドデータはRAM204からPCIアドレスバス372、マスタコントローラ314、データバス311、バッファ用FIFO308、データバス306、双方向バッファ305を介してPDLデータバス303へ出力され、RAM106に格納される。その際、転送先アドレス及び、転送元アドレスはエンジンCPU202及び、PDL内のCPU108により

設定できるが、エンジンCPU202より設定する場合は以下の通りである。

【0035】

RAM204からの転送元アドレスは、エンジンCPU202によりPCIアドレスデータバス372、ターゲットコントローラ371、データバス365、AND回路337、OR回路338、データバス339を介してDMAコントローラ内のアドレスカウンタ323に設定され、更にアドレスバス330を介してマスタコントローラ314に入力され、PCIアドレスバス372から出力される。

【0036】

また、転送先アドレスは、エンジンCPU202により、PCIアドレスバス372、ターゲットコントローラ371、データバス365、AND回路351、OR回路352、データバス353を介してアドレスカウンタ348に設定され、データバス365、双方向バッファ341を介してアドレスバス340へ出力される。

【0037】

ここで、コマンド/バイトイネーブル信号374、デコーダ369を介してPCIライト信号370が生成され、アドレスカウンタ323及び348へ入力される。また、PCIアドレスバス372、ターゲットコントローラ371、アドレスバス366、アドレスデコーダ360により、レジスタ選択信号361（PCS（2：1））、363（PCS（25：21））、362（PCS（15：11））が生成されるが、選択信号359（PCS2）、363（PCS（25：21））がHighのときはAND回路337、OR回路338、データバス339を介して、データバス365が選択され、アドレスカウンタ323に入力され、転送元アドレスが設定される。

【0038】

さらに、選択信号358（PCS1）、362（PCS（15：11））がHighのときはAND回路351、OR回路352、データバス353を介して、データバス365が選択され、アドレスカウンタ348に入力され、転送先アドレスが設定される。

## 【0039】

同様に、PDLコントローラ部1内のCPU108により転送先アドレス及び、転送元アドレスを設定する場合は、CPU108からライト信号349がアドレスカウンタ323及び348へ入力される。また、アドレスバス340、双方向バッファ341、アドレスデコーダ344により、レジスタ選択信号345 (LCS (2:1))、346 (LCS (25:21))、347 (LCS (15:11)) が生成されるが、選択信号357 (LCS2)、346 (LCS (25:21)) がHighのときはAND回路336、OR回路338、データバス339を介して、PDL内のデータバス307が選択され、アドレスカウンタ323に入力され、転送元アドレスが設定される。さらに、選択信号356 (LCS1)、347 (LCS (15:11)) がTrueのときはAND回路350、OR回路352、データバス353を介して、PDL内のデータバス307が選択され、アドレスカウンタ348に入力され、転送先アドレスが設定される。

## 【0040】

ここで、DMAコントローラ322は、エンジンCPU202またはPDLコントローラ部1のCPU108により、それぞれ、データバス365、307を介して、308、315のうち、どちらのFIFOを使用してDMA転送が起動し、A、B入力のうちどちらの信号を選択するかを選択信号328により設定すると同時に、FIFO308または315から入力されるR・WREQ1信号 (310) またはR・WREQ2信号 (326) がTrueになると、DMA REQ信号334をTrueにして出力する。

## 【0041】

PDLバスアービタ回路333は、DMA REQ信号334がTrueになるとCPU108から入力されるコントロール信号331の状態により、バスマスタになることをコントロール信号332を介してCPU108へ通知し、DOC信号301、ADROC信号343をTrueにして、双方向バッファ305、341を制御すると同時に、ワード単位でデータを転送するたびにDMA ACK信号335をTrueにして、DMAコントローラ322へ出力する。

## 【0042】

DMAコントローラ322は、TrueになったDMA ACK信号335を受け取ると、R・WACK1信号(309)またはR・WACK2信号(325)をHighにしてFIFO308または315へ出力すると同時に、アドレスカウンタ323、348へも出力して、アドレスカウンタ323、及び348をカウントアップさせる。

## 【0043】

図2において、R・WREQ1信号310、R・WREQ2信号326、R・WACK1信号309、R・WACK2信号325は、それぞれリード、及びライトの2本の信号であり、エンジン本体内のRAM204からPDL内RAM106へ転送する場合は各リード信号がTrueになり、PDL内RAM106からエンジン本体内のRAM204へ転送する場合は各ライト信号がTrueになる。

## 【0044】

ここで、エンジンCPU202はADバス372、ターゲットコントローラ371、アドレスバス366を介して、コンフィグレーションレジスタ364の値をデータバス368、ターゲットコントローラ371、ADバス372を介して読み出し、どのPDLボードが接続されているかを判断することができる。

## 【0045】

PDL内のRAM106からエンジン本体内のRAM204へビットマップデータを転送する場合も、ステータスデータ同様、PDLデータバス303、双方向バッファ305、データバス307、FIFO315、データバス316、選択信号328によりB入力を選択されたセクタ313、データバス317、マスターコントローラ314を経由してPCIアドレスデータバス372に出力され、RAM204に転送される。

## 【0046】

ここで、ビットマップデータを転送する場合は図3、図4に示す通り、描画データのある矩形領域の転送元先頭アドレス(SA1)、転送元矩形領域の幅(W)、転送元矩形領域のライン数(L)、転送元有効印刷幅(YW1)、並びに転

送先先頭アドレス (SA2)、転送先矩形領域の幅 (W)、転送先矩形領域のライン数 (L)、転送先有効印刷幅 (YW2) を設定する。これらの値はアドレスカウンタ 323、348 に設定されるが、以下その詳細な設定方法につき、図 5 および図 6 を用いて説明する。

#### 【0047】

なお、ここで、バッファメモリである FIFO 315 のサイズは、上記矩形領域のサイズである幅 W (ワード)、及びライン数 L (ライン) と同じものである。

#### 【0048】

図 5、図 6 はそれぞれ、アドレスカウンタ 348、323 の状態遷移を示した図であり、不図示のクロック信号に同期したアドレスカウンタ 348、323 の動作を規定したステートマシンである。アドレスカウンタ 348 は、図 5 に示すように初期状態は INIT のステートにいるが、条件 1 が成立すると、そのとき入力されるデータバス 353 の値 DT を転送元バンド先頭アドレスレジスタ (以下、SA1) に設定し、SET のステートへ移る。SET のステートに移ると、条件 2 が成立するとデータバス 353 の値 DT を転送元有効印刷幅レジスタ (以下、YW1) に設定し、SET のステートへ戻る。同様に、条件 3 が成立するとデータバス 353 の値 DT を転送元矩形領域の幅レジスタ (以下、W) に設定し、条件 4 が成立するとデータバス 353 の値 DT を転送元矩形領域のライン数レジスタ (以下、L) に設定し、条件 5 が成立するとデータバス 353 の値 DT を '1' にして、スタートレジスタ (以下、ST) に '1' を設定し、SET のステートへ戻る。ST = '1' になると、カウンタ A (アドレス出力)、カウンタ SL (ライン先頭アドレス)、カウンタ SA (矩形領域先頭アドレス) に SA1 (バンド先頭アドレス) の値を設定し、LOAD ステートに進む。

#### 【0049】

DMA コントローラ 322 より出力される R・WACK2 信号 325 が '1' になると OR 回路 355 を介して入力される R・WACK 信号 354 が '1' となり、カウンタ A はプラス 1 され、COUNT UP ステートに移る。同様に、R・WACK = '1' が成立するとカウンタ A は 1 ずつカウントアップし、

COUNT UPステートに戻る。このとき、カウンタAの値はアドレスカウンタ348のアドレス信号365として、出力される。

## 【0050】

上記の動作は、図7においては、PDLメモリ内におけるバンド1の中において、文字‘A’が書かれた矩形領域の1番上の行11～14のアドレスを、カウンタAがカウントアップしてPDLメモリ内のデータを読み出し、読み出したデータをFIFO315の1番目の行11～14に書き込む動作に相当する。ここで、FIFO315のアドレスは、DMAコントローラ322から出力されるWEN324がTrueのときに、ライトアドレスカウンタ318よりアドレス信号319として出力され、FIFO315へ入力される。

## 【0051】

図5において、カウンタAの値が $(SL+W)$ と等しくなり $A=SL+W$ が成立すると、カウンタSL（ライン先頭アドレス）、及びカウンタA（アドレス出力）にYW1をプラスしてLOADステートに戻り、さらにR・WACK‘1’が成立するとカウンタAをプラス1してCOUNT UPステートに移り、カウンタAをカウントアップさせる。これにより、図7における矩形領域の2行目に移り、PDL内のメモリ21～24のデータをFIFO315の21～24のアドレスに書き込む。

## 【0052】

FIFO315のアドレスはWEN324がTrueのときに、ライトアドレスカウンタ318よりアドレス信号319として出力される。同様にして、これを図7における矩形領域のN行目まで繰り返し、PDL内のメモリN1～N4のデータをFIFO315のN1～N4のアドレスに書き込む。FIFO315のアドレスはWEN324がTrueのときに、ライトアドレスカウンタ318よりアドレス信号319として出力される。

## 【0053】

図5のCOUNT UPステートにおいて、カウンタAの値が $(SA+(L-1)*YW1+W)$ と等しくなり、 $A=SA+(L-1)*YW1+W$ が成立すると、カウンタA（アドレス出力）、カウンタSL（ライン先頭アドレス）、カ

カウンタ SA (矩形領域先頭アドレス) に、それ以前の ( $SA+W$ ) を設定し、LOAD ステートに戻る。これにより図 7 に示すように、PDL 内のメモリにおける 'B' と書かれた矩形領域に移り、上記と同様の動作が繰り返される。

## 【0054】

さらに、図 5 において、カウンタ A の値が ( $SA1+L*YW1$ ) と等しくなり、 $A=SA1+L*YW1$  が成立すると、INIT のステートに戻り、再度、SA1、YW1、W、L、ST 等が設定され、上記と同様の動作が繰り返される。このタイミングは図 7 においては、PDL メモリ内のバンド 1 のデータをすべて読み出し終わり、バンド 2 の設定に移るタイミングに相当する。

## 【0055】

なお、図 5 の COUNT UP ステートにおいて、複数の条件が同時に成立した場合は、丸数字 (1) ~ (4) で示す優先順位に従って状態が遷移する。丸数字 (1) は一番優先順位が高く、(4) へ向かうほど優先順位が低くなる。

## 【0056】

一方、アドレスカウンタ 323 の初期状態は図 6 に示すように INIT のステートであるが、条件 1 が成立すると、そのとき入力されるデータバス 339 の値 DT を転送先バンド先頭アドレスレジスタ (以下、SA2) に設定し、SET のステートへ移る。SET のステートに移り、条件 2 が成立するとデータバス 339 の値 DT を転送先有効印刷幅レジスタ (以下、YW2) に設定し、SET のステートへ戻る。

## 【0057】

前述と同様に、条件 3 が成立するとデータバス 339 の値 DT を転送先矩形領域の幅レジスタ (以下、W) に設定し、条件 4 が成立するとデータバス 339 の値 DT を転送先全副走査ライン数レジスタ (以下、TL)、及び転送先矩形領域のライン数レジスタ (以下、L) に設定し、条件 5 が成立するとデータバス 339 の値 DT を '1' にして、スタートレジスタ (以下、ST) に '1' を設定し、SET のステートへ戻る。

## 【0058】

そして、 $ST='1'$  になると、カウンタ A (アドレス出力)、カウンタ SL



(ライン先頭アドレス)、カウンタSA (矩形領域先頭アドレス) にSA2 (バンド先頭アドレス) の値を設定し、LOADステートに進む。

## 【0059】

DMAコントローラ322より出力されるR・WACK信号が‘1’になると、カウンタAはプラス1され、COUNT UPステートに移る。引き続き、R・WACK = ‘1’ が成立するとカウンタAは1ずつカウントアップしながら、COUNT UPステートに戻る。このとき、カウンタAの値はアドレスカウンタ323のアドレス信号330として、出力される。このタイミングは図8においては、FIFO315に記憶された11～14のデータを読み出しながら、エンジン本体メモリ内のバンド1において、文字‘A’と書かれた矩形領域の1番上の行11～14のアドレスに、カウンタAがカウントアップして書き込むタイミングに相当する。ここで、FIFO315のアドレスは、DMAコントローラ322から出力されるREN327がTrueのときに、リードアドレスカウンタ320よりアドレス信号321として出力され、FIFO315へ入力される。

## 【0060】

図6において、カウンタAの値が(SL+W)と等しくなり $A = SL + W$ が成立すると、カウンタSL (ライン先頭アドレス)、及びカウンタA (アドレス出力) にYW2をプラスしてLOADステートに戻り、さらにR・WACK = ‘1’ が成立するとカウンタAをプラス1してCOUNT UPステートに移り、カウンタAをカウントアップさせる。これにより、図8における矩形領域の2行目に移り、FIFO315の21～24のデータをプリンタエンジン部2のRAM204内の21～24のアドレスに書き込む。

## 【0061】

FIFO315のアドレスはREN327がTrueのときに、リードアドレスカウンタ320よりアドレス信号321として出力される。同様にして、これを図8における矩形領域のN行目まで繰り返し、FIFO315N1～N4のデータをエンジン本体メモリ内のN1～N4のアドレスに書き込む。FIFO315のアドレスはREN327がTrueのときに、リードアドレスカウンタ32

0よりアドレス信号321として出力される。

【0062】

図6のCOUNT UPステートにおいて、カウンタAの値が $(SA + (L - 1) * YW2 + W)$ と等しくなり、 $A = SA + (L - 1) * YW2 + W$ が成立すると、カウンタA（アドレス出力）、カウンタSL（ライン先頭アドレス）、カウンタSA（矩形領域先頭アドレス）に、それ以前の $(SA + L * YW2)$ を設定し、LOADステートに戻る。これにより、図8に示すように、エンジン本体メモリにおける‘B’と書かれた矩形領域に移って、同様の動作を繰り返し、FIFO315内のデータを書き込む。

【0063】

さらに、図6において、カウンタAの値が $(SA2 + (TL - 1) * YW2 + W)$ と等しくなり、 $A = SA2 + (TL - 1) * YW2 + W$ が成立すると、INITのステートに戻り、再度、SA2、YW2、W、TL、L、ST等が設定され、同様の動作が繰り返される。これを図8で示すと、FIFO315内のデータをエンジン本体メモリ内のバンド1へ、すべて書き込み終わり、バンド2の設定に移るところである。

【0064】

なお、図6のCOUNT UPステートにおいて、複数の条件が同時に成立した場合は、丸数字（1）～（4）で示す優先順位に従って状態が遷移する。丸数字（1）は一番優先順位が高く、（4）へ向かうほど優先順位が低くなる。

【0065】

そして、図8に示すように、プリンタエンジン部2のRAM204におけるアドレスの振り方は、PDLメモリ内のそれを90度回転したものであり、FIFO315から読み出す場合のアドレスの振り方も、FIFO315に書き込む際のアドレスの振り方を90度回転したものとなる。

【0066】

したがって、プリンタエンジン部2側では、それ以上の回転処理を行なうことなく、RAM204から単にデータを読み出し、プリンタI/F205を介してプリンタ206に入力するだけでA4用紙のイメージをA4横用紙に出力するこ

とができる。もちろん、PDLコントローラ部1側の画像データ発生部105も、処理コストの大きい画像展開時のイメージ回転処理を行なう必要がない。

## 【0067】

以上説明したように、本実施形態によれば、描画データのある矩形領域の転送元先頭アドレス（SA1）、転送元矩形領域の幅（W）、転送元矩形領域のライン数（L）、転送元有効印刷幅（YW1）、並びに転送先先頭アドレス（SA2）、転送先矩形領域の幅（W）、転送先矩形領域のライン数（L）、転送先全副走査ライン数（TL）、転送先有効印刷幅（YW2）等は、エンジン本体側から、及びPDL内から設定することが可能であり、それぞれPCS（15：11）362、PCS（25：21）363、及び、LCS（15：11）347、LCS（25：21）346により選択される。

## 【0068】

すなわち、PDLメモリRAM106内にある描画データを、エンジン本体内のメモリRAM204へデータ転送する場合、矩形のバッファメモリであるFIFO315を経由し、FIFOへの書き込み、読み出し方向を90度回転させ、エンジン本体メモリへも90度回転させて書き込むことにより、DMA転送中に紙面データの回転を行なうようにしているので、PDLコントローラ部1の画像データ発生部105がRAM106にビットマップデータを展開する際にイメージの回転を伴う展開処理を行なう必要がないため、回転機能による展開能力の低下を防止することができ、スループットを低下させることなく、高速な印刷を行なえる。

## 【0069】

## 【第2の実施形態】

図9に本発明の第2の実施形態を示す。図9の構成は、矩形領域のバッファメモリを2個設け、図2の2個のFIFO315を1個のFIFO501（FIFO501-1、FIFO501-2）にまとめたものである。図9では図2と同一ないし相当するブロックには、同一符号を付し、その詳細な説明は省略するものとする。

## 【0070】

図 2 の場合、F I F O 3 1 5 への書き込みが終了するまで、F I F O 3 1 5 内のデータをプリンタエンジン部 2 の R A M 2 0 4 へ転送することができないが、図 9 の構成は F I F O 5 0 1 からエンジン本体メモリ内へデータを転送しながら、P D L メモリ内のデータを F I F O 5 0 1 へ書き込めるようにしたものである。

## 【 0 0 7 1 】

図 9 において、P D L コントローラ部 1 の R A M 1 0 6 からエンジン内の R A M 2 0 4 へ描画データを転送する場合、アドレスカウンタ 3 4 8、3 2 3 への設定方法は同じであるが、P D L メモリ内のデータはまず、F I F O 5 0 1 内の 1 つ目の F I F O 5 0 1 - 1 に図 2 と同様の方法で書き込まれる。次いで、F I F O 5 0 1 - 1 のデータをエンジン本体メモリ内に書き込む際に、P D L メモリ内のデータを F I F O 5 0 1 内の 2 つ目の F I F O 5 0 1 - 2 に書き込む。さらに、F I F O 5 0 2 - 2 のデータをエンジン本体メモリ内に書き込みながら、P D L メモリ内のデータを F I F O 5 0 1 - 1 へ書き込むようにしたものである。

## 【 0 0 7 2 】

図 9 の構成における動作を図 1 0、図 1 1 に示す。すなわち、図 1 0 における P D L メモリ内矩形領域 'A' の文字を F I F O 5 0 1 - 1 に書き込み、矩形領域 'B' の文字を F I F O 5 0 1 - 2 に書き込んでいる時に、図 1 1 に示すように F I F O 5 0 1 - 1 内のデータをエンジン本体メモリ内 'A' と書かれた矩形領域へ、書き込む。同様に、P D L メモリ内の次の矩形領域のデータを F I F O 5 0 1 - 1 に書き込んでいる時に、図 1 1 に示すように F I F O 5 0 1 - 2 内のデータをエンジン本体メモリ内 'B' と書かれた矩形領域へ書き込み、この動作を繰り返す。

## 【 0 0 7 3 】

図 9 における F I F O 5 0 1 - 1、F I F O 5 0 1 - 2 のライトアドレスは、ライトアドレスカウンタ 5 0 2 から出力されるアドレス信号 3 1 9、5 0 3 として入力される。ライトアドレス信号 3 1 9 は、D M A コントローラ 3 2 2 から出力される W E N 2 が T r u e のときにカウントアップし、ライトアドレス信号 5 0 3 は、D M A コントローラ 3 2 2 から出力される W E N 3 が T r u e のときに

カウントアップする。

【0074】

F I F O 5 0 1 - 1、F I F O 5 0 1 - 2 のリードアドレスは、リードアドレスカウンタ 5 0 4 から出力されるアドレス信号 3 2 1、5 0 5 として入力されるが、リードアドレス信号 3 2 1 は、DMA コントローラ 3 2 2 から出力される R E N 2 が T r u e のときにカウントアップし、リードアドレス信号 5 0 5 は、D M A コントローラ 3 2 2 から出力される R E N 3 が T r u e のときにカウントアップする。

【0075】

なお、図 1 2、図 1 3 に示すように P D L 内のビットマップデータとエンジン内のデータの並びが逆の場合は、図 2、図 9 に示したのと同様に F I F O 3 1 5、F I F O 5 0 1 に入力するデータバス 3 0 7 L D ( 3 1 : 0 ) と F I F O から出力されるデータバス 3 1 6 L D ( 0 : 3 1 ) との並びを逆にして接続すればよい。

【0076】

当然のことながら、P D L 内のビットマップデータとエンジン内のデータとの並びが同一である場合は、F I F O 3 1 5、5 0 1 に入力するデータバスと、F I F O から出力されるデータバスとの並びを同じに接続すればよく、上記実施形態と同様の効果を奏する。

【0077】

以上のように、F I F O 5 0 1 を複数のバッファメモリとして構成することにより、F I F O 5 0 1 からプリンタエンジン部 2 の R A M 2 0 4 エンジン本体メモリ内へデータを転送しながら、P D L メモリ内のデータを F I F O 5 0 1 へ書き込むことができ、さらに画像データの転送効率を向上させ、より高速な印刷を行なうことができる。

【0078】

【発明の効果】

以上説明したように本発明によれば、P D L コントローラと所定の記録方式により構成されたプリンタエンジン本体とがパラレルインターフェースにより接続

され、該インターフェースを介して印刷すべき画像データをDMA転送する印刷装置およびその制御方法において、前記PDLコントローラ内で展開した描画データを、一旦バッファメモリに書き込み、90度回転したデータを前記バッファメモリから読み出し、前記プリンタエンジン本体のメモリにDMA転送する構成を採用しているので、PDLコントローラの画像展開時に画像の回転を行わず、PDL内のRAMからエンジン本体内のRAMへビットマップデータを転送する際に描画データを回転させることにより、PDLコントローラの画像展開時の回転による展開能力の低下を防止し、印刷装置のスループットを低下させることなく画像の回転を行ない、高速な印刷を行なえる、という優れた効果がある。

【図面の簡単な説明】

【図1】

本発明を採用したプリンタの制御系の構成を示したブロック図である。

【図2】

図1のPCIコントローラの構成を詳細に示したブロック図である。

【図3】

PDLコントローラ部のRAM内の印刷データを示した説明図である。

【図4】

プリンタエンジン部のRAM内の印刷データを示した説明図である。

【図5】

図2のアドレスカウンタ(348)内の動作を示した状態遷移図である。

【図6】

アドレスカウンタ(323)の動作を示した状態遷移図である。

【図7】

PDLコントローラ部のRAM内の印刷データを示した説明図である。

【図8】

プリンタエンジン部のRAM内の印刷データを示した説明図である。

【図9】

本発明によるPCIコントローラの第2の実施形態を示したブロック図である。

【図 1 0】

第 2 の実施形態における PDL コントローラ部の RAM 内の印刷データを示した説明図である。

【図 1 1】

第 2 の実施形態におけるプリンタエンジン部の RAM 内の印刷データを示した説明図である。

【図 1 2】

第 2 の実施形態における PDL コントローラ部の RAM 内の印刷データを示した説明図である。

【図 1 3】

第 2 の実施形態におけるプリンタエンジン部の RAM 内の印刷データを示した説明図である。

【図 1 4】

従来の PDL メモリとプリンタエンジンにおける印刷データを示す説明図である。

【図 1 5】

従来のエンジン本体メモリ内の印刷データを示す説明図である。

【符号の説明】

- 1 PDL コントローラ部
- 2 プリンタエンジン部
- 3 PCI バス
- 4 ネットワーク送受信部
- 5 外部機器
- 1 0 1 表示パネル
- 1 0 2 パネル I / F
- 1 0 3 ホスト I / F
- 1 0 4 外部機器
- 1 0 5 画像データ発生部
- 1 0 6 RAM

1 0 7	ROM
1 0 8	CPU
1 0 9	PCI I/F
1 1 0	バス
2 0 1	PCI I/F
2 0 2	CPU
2 0 3	ROM
2 0 4	RAM
2 0 5	プリンタ I/F
2 0 6	プリンタ
3 0 1	データ出力コントロール信号
3 0 2	リード信号
3 0 3	データバス
3 0 4	NOR回路
3 0 5	双方向バッファ
3 0 6	データバス
3 0 7	データバス
3 0 8	FIFO (チャンネル1)
3 0 9	R・WACK1信号
3 1 0	R・WREQ1信号
3 1 1	データバス
3 1 2	データバス
3 1 3	セレクタ
3 1 4	マスターコントローラ
3 1 5	FIFO (チャンネル2)
3 1 6	データバス
3 1 7	データバス
3 1 8	ライトアドレスカウンタ
3 1 9	ライトアドレス



- 320 リードアドレスカウンタ
- 321 リードアドレス
- 322 DMAコントローラ (2チャンネル分)
- 323 PCI側アドレスカウンタ (2チャンネル分)
- 324 ライトイネーブル信号
- 325 R・WACK2信号
- 326 R・WREQ2信号
- 327 リードイネーブル信号
- 328 選択信号
- 330 PCI側アドレスバス
- 331 CPU制御信号
- 332 バスコントロール信号
- 333 PDL側BusArbiter回路
- 334 DMA REQ信号
- 335 DMA ACK信号
- 336 AND回路
- 337 AND回路
- 338 OR回路
- 339 データバス
- 340 PDL内アドレスバス
- 341 双方向バッファ
- 342 PDL内リード信号
- 343 PDLアドレス出力コントロール信号
- 344 PDL側アドレスデコーダ
- 345 PDLデータ選択信号
- 346 PDLデータ選択信号
- 347 PDLデータ選択信号
- 348 PDL側アドレスカウンタ
- 349 PDLライト信号

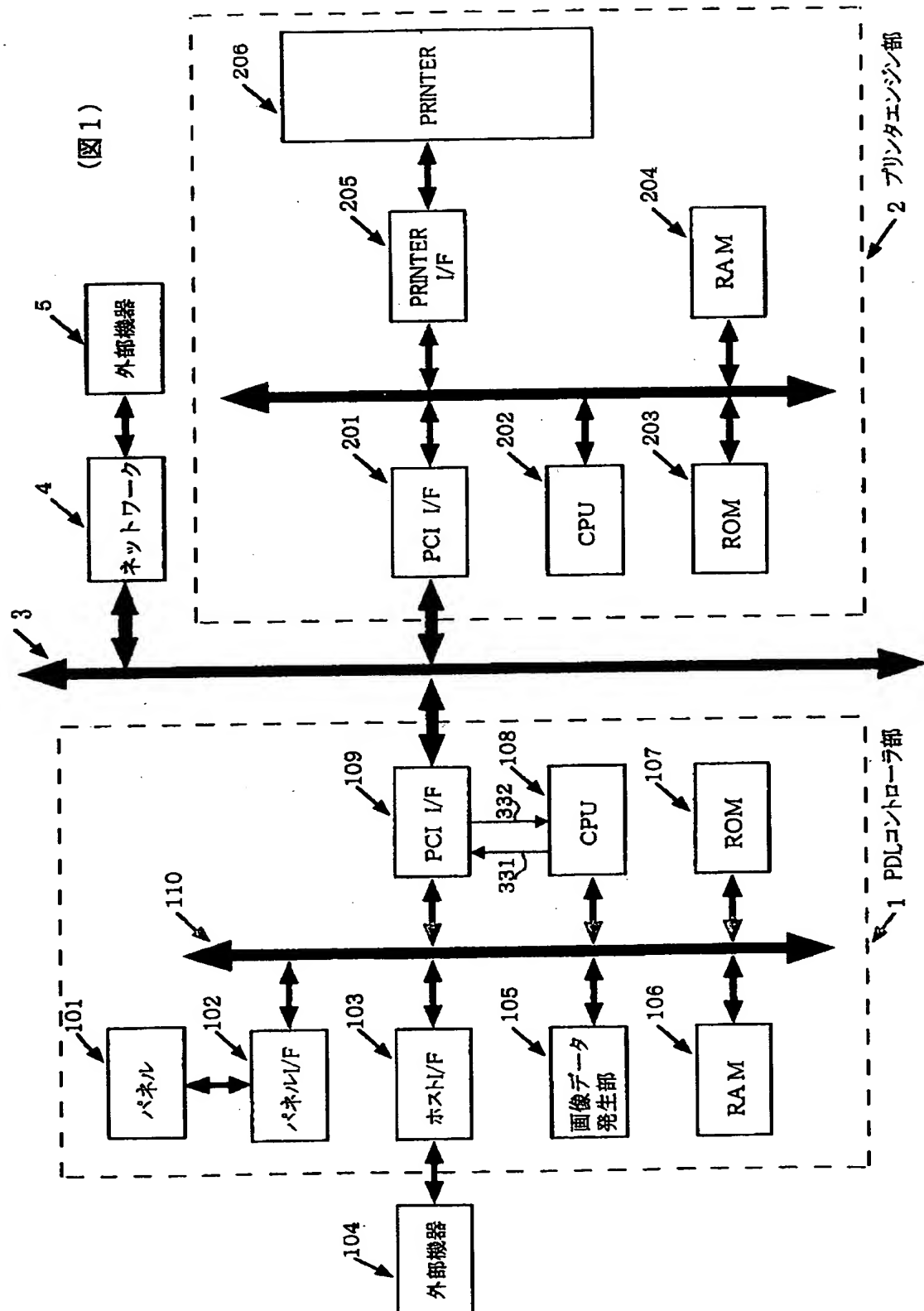
- 3 5 0    AND回路
- 3 5 1    AND回路
- 3 5 2    OR回路
- 3 5 3    データバス
- 3 5 4    R・WACK信号
- 3 5 5    OR回路
- 3 5 6    PDLデータ選択信号
- 3 5 7    PDLデータ選択信号
- 3 5 8    PCIデータ選択信号
- 3 5 9    PCIデータ選択信号
- 3 6 0    PCI側アドレスデコーダ
- 3 6 1    PCIデータ選択信号
- 3 6 2    PCIデータ選択信号
- 3 6 3    PCIデータ選択信号
- 3 6 4    コンフィギュレーションレジスタ
- 3 6 5    PCI側データバス
- 3 6 6    PCI側アドレスバス
- 3 6 7    コンフィギュレーションレジスタ選択信号
- 3 6 8    コンフィギュレーションレジスタ出力信号
- 3 6 9    PCI側デコーダ
- 3 7 0    PCIライト信号
- 3 7 1    ターゲットコントローラ
- 3 7 2    PCI側ADバス
- 3 7 3    PCI側制御信号
- 3 7 4    PCI側コマンド/バイトイネーブル信号
- 5 0 1    ダブルバッファ化したF I F O (チャンネル2)
- 5 0 2    ダブルバッファに対応したライトアドレスカウンタ
- 5 0 3    ライトアドレス出力信号
- 5 0 4    ダブルバッファに対応したリードアドレスカウンタ

- 505 リードアドレス出力信号
- 506 ライトイネーブル信号
- 507 リードイネーブル信号
- 508 R・WACK2、3信号
- 509 R・WREQ2、3信号

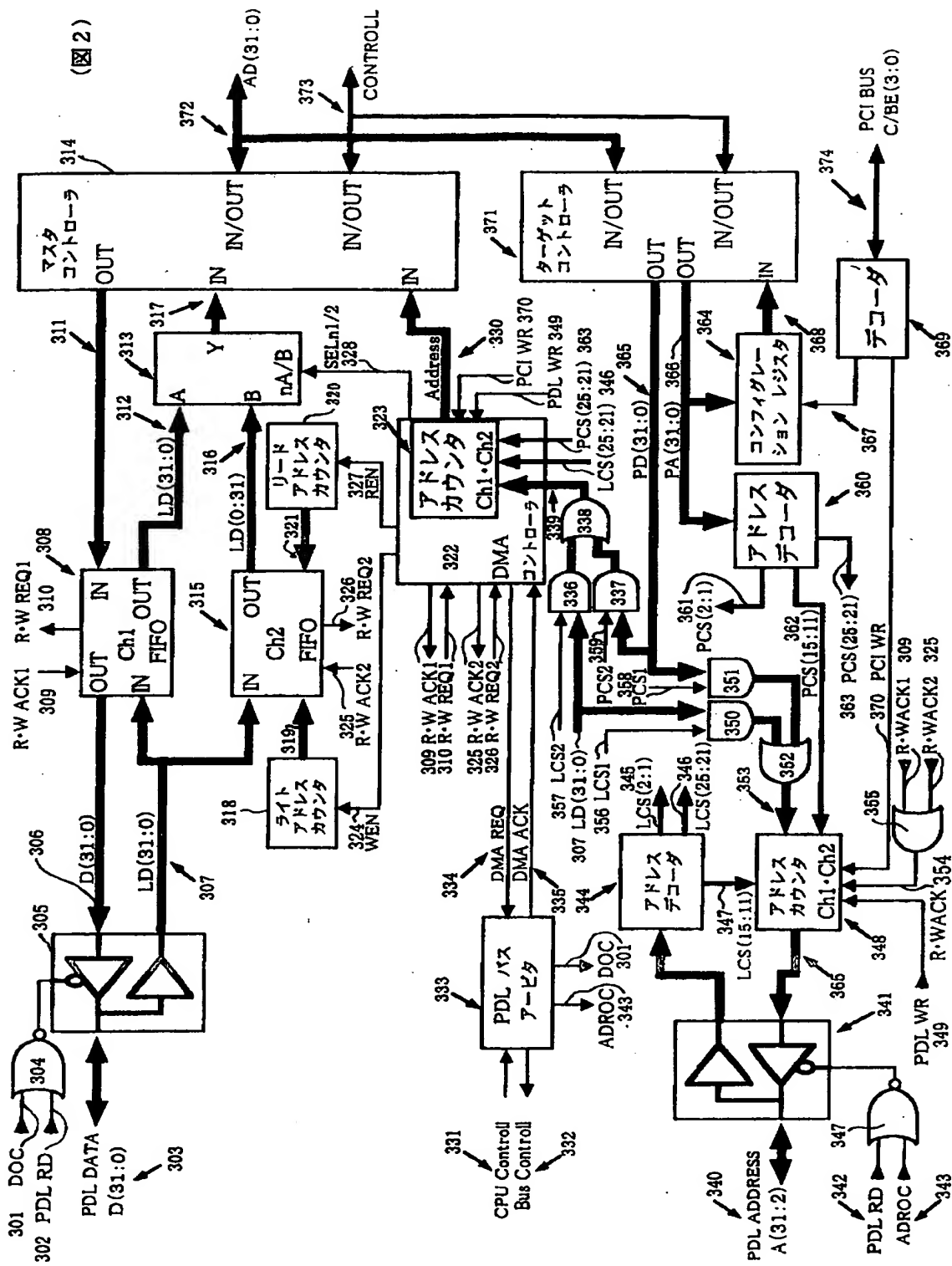
【書類名】

図面

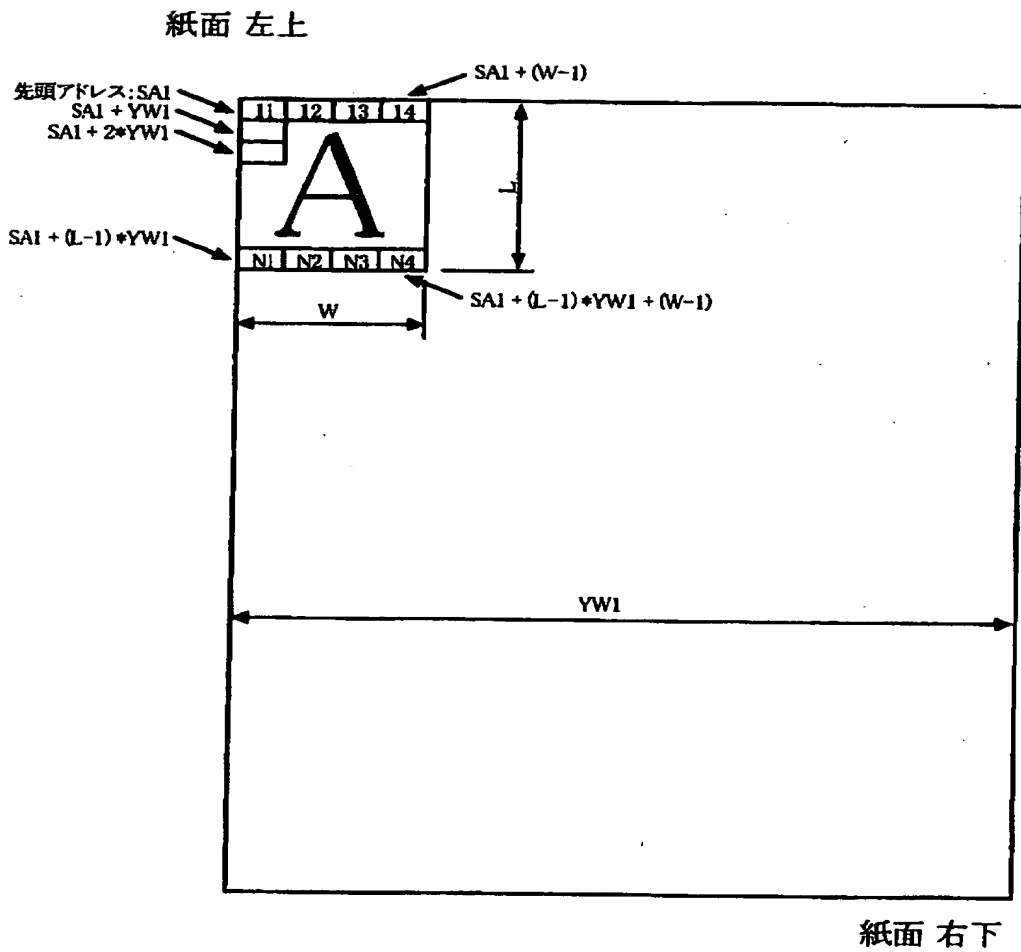
【図 1】



【図 2】

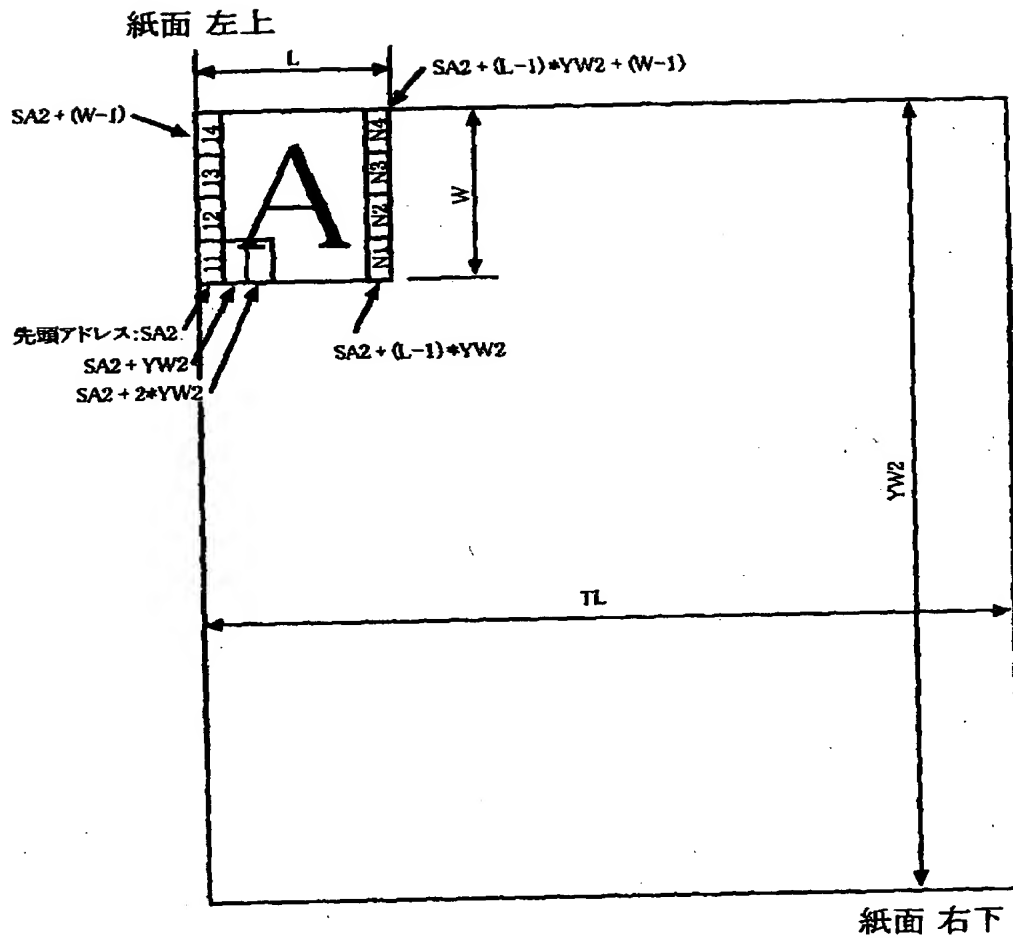


【図 3】



(図 3) PDLメモリ内・印字データ

【図4】

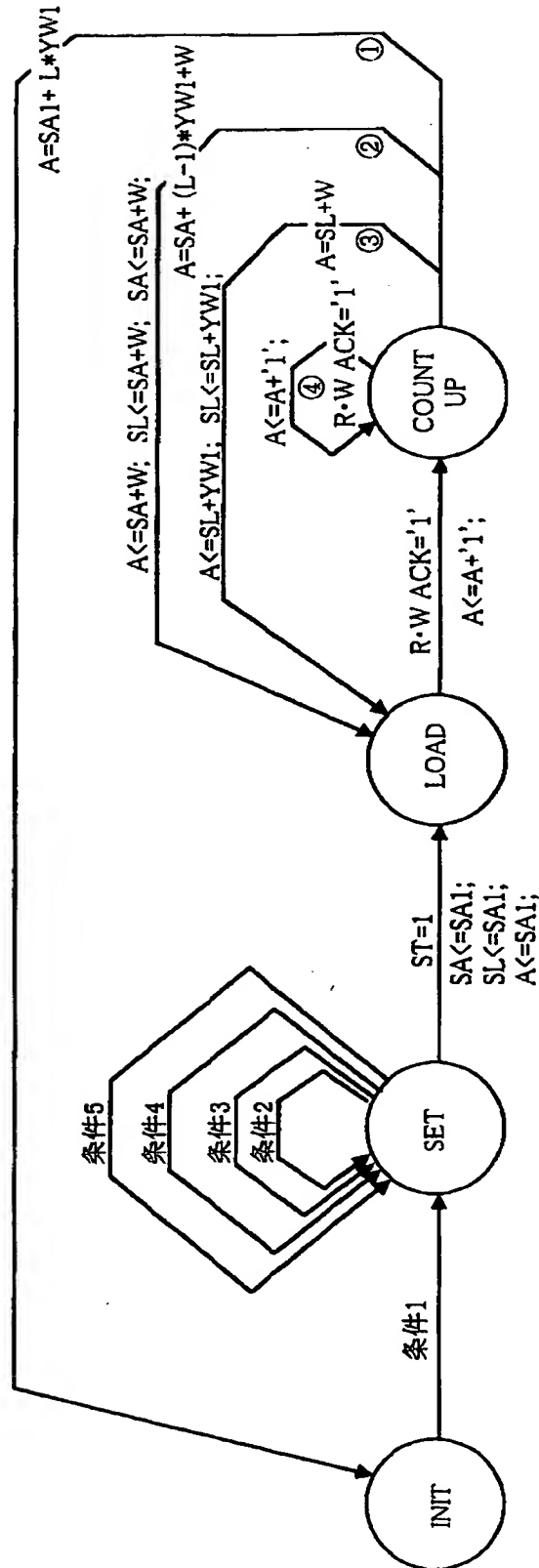


(図4) エンジン本体メモリ内・印字データ

【図 5】

(図 5)

条件1: ((LCS11='1' or PCS11='1') and (PC1WR='1' or PDLWR='1')) SA1<=DT;  
 条件2: ((LCS12='1' or PCS12='1') and (PC1WR='1' or PDLWR='1')) YW1<=DT;  
 条件3: ((LCS13='1' or PCS13='1') and (PC1WR='1' or PDLWR='1')) WK<=DT;  
 条件4: ((LCS14='1' or PCS14='1') and (PC1WR='1' or PDLWR='1')) L<=DT;  
 条件5: ((LCS15='1' or PCS15='1') and (PC1WR='1' or PDLWR='1')) ST<='1';

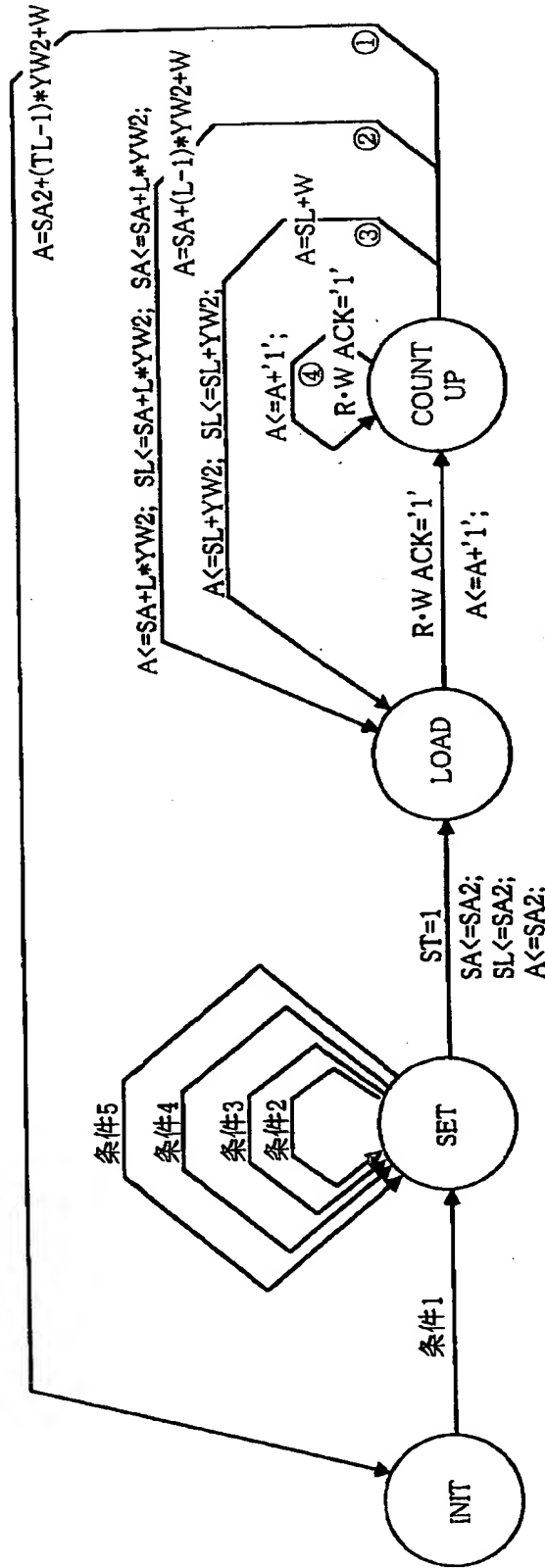




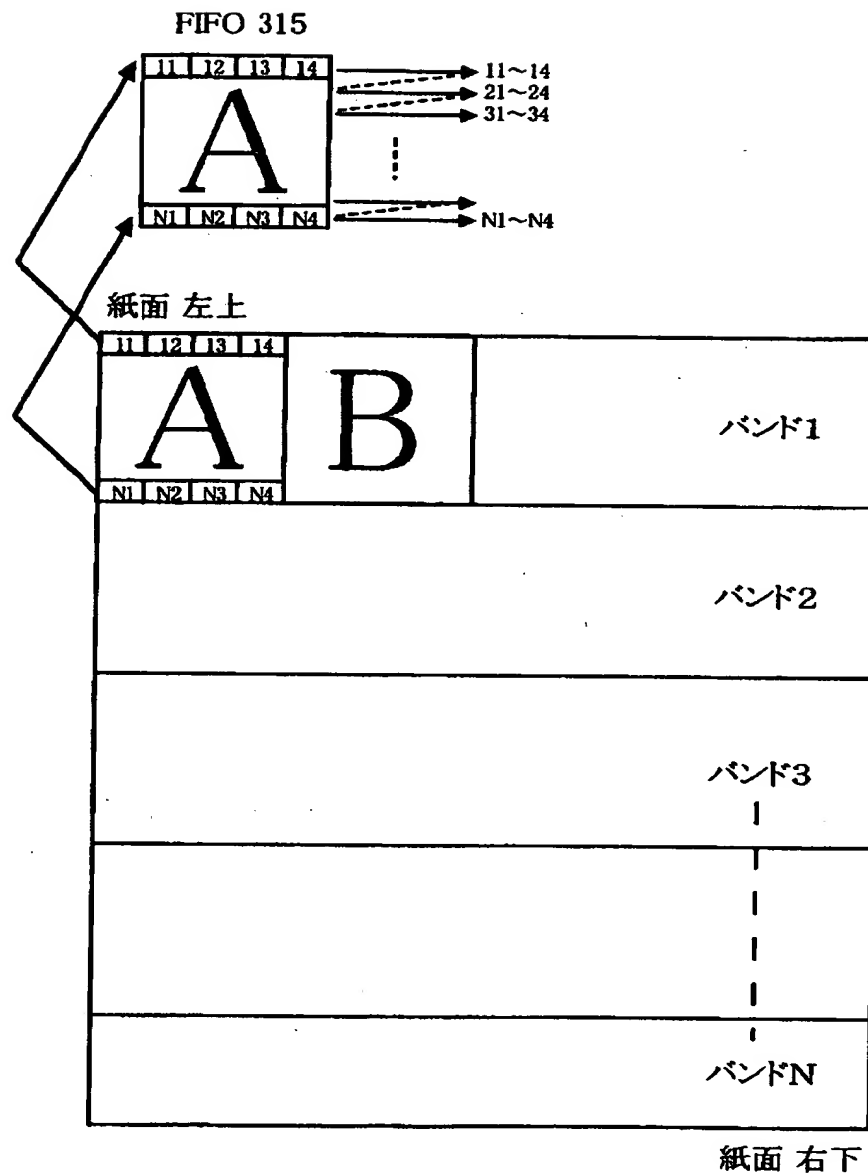
【図 6】

(図 6)

条件1: ((LCS21='1' or PCS21='1') and (PCWR='1' or PDLWR='1')) SA2<=DT;  
 条件2: ((LCS22='1' or PCS22='1') and (PCWR='1' or PDLWR='1')) YW2<=DT;  
 条件3: ((LCS23='1' or PCS23='1') and (PCWR='1' or PDLWR='1')) W<=DT;  
 条件4: ((LCS24='1' or PCS24='1') and (PCWR='1' or PDLWR='1')) TL<=DT; L<=DT;  
 条件5: ((LCS25='1' or PCS25='1') and (PCWR='1' or PDLWR='1')) ST<='1';

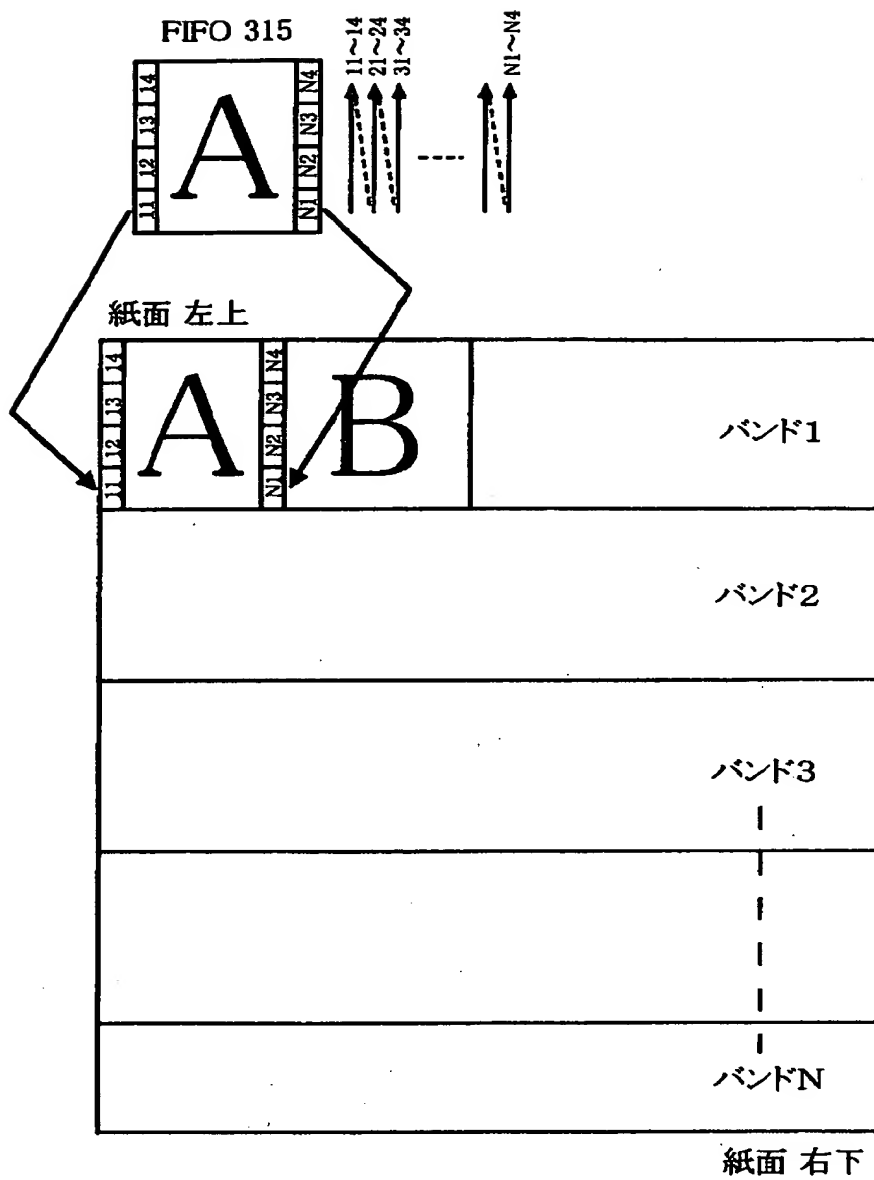


【図 7】



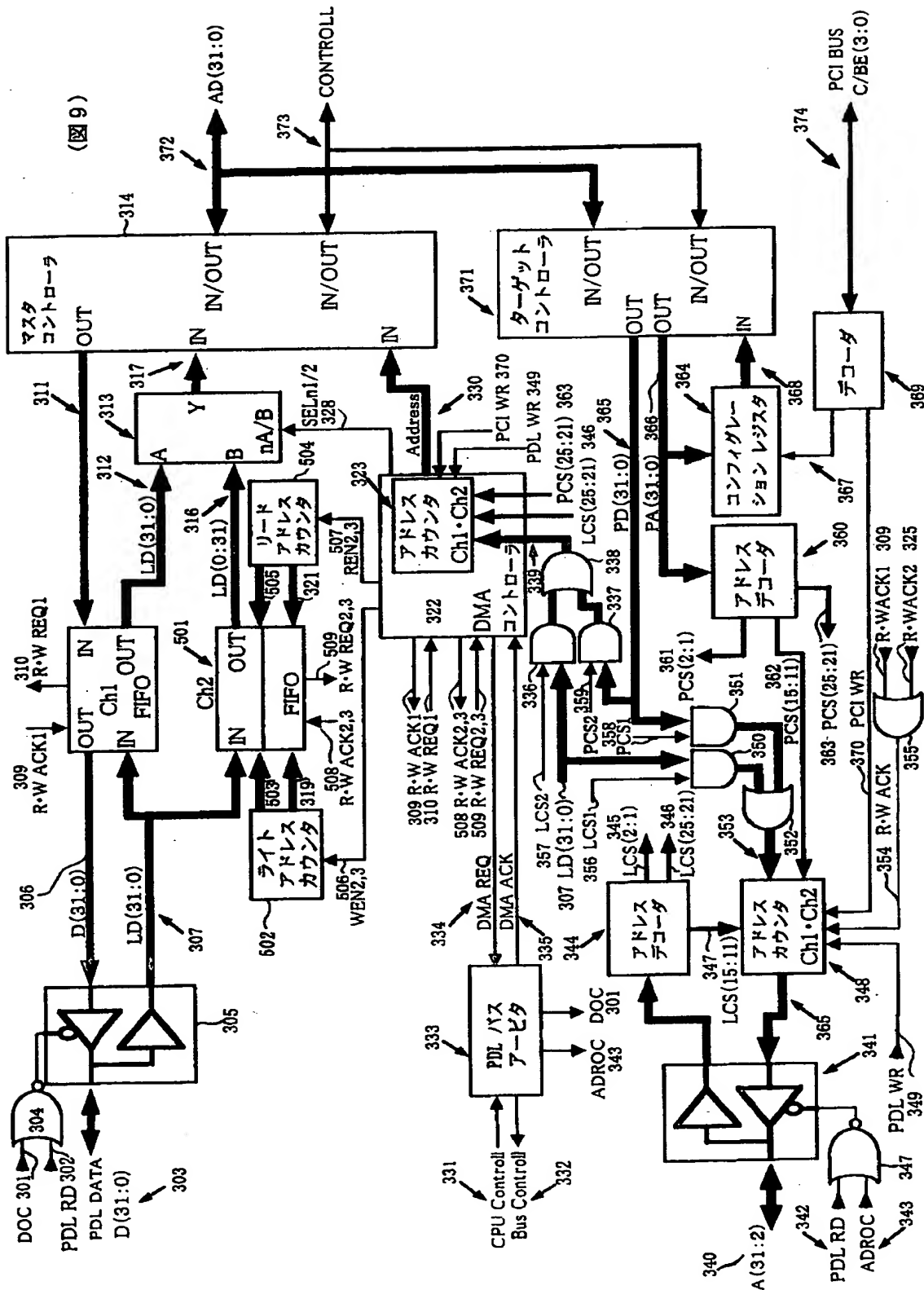
(図 7) PDLメモリ内・印字データ

【図8】

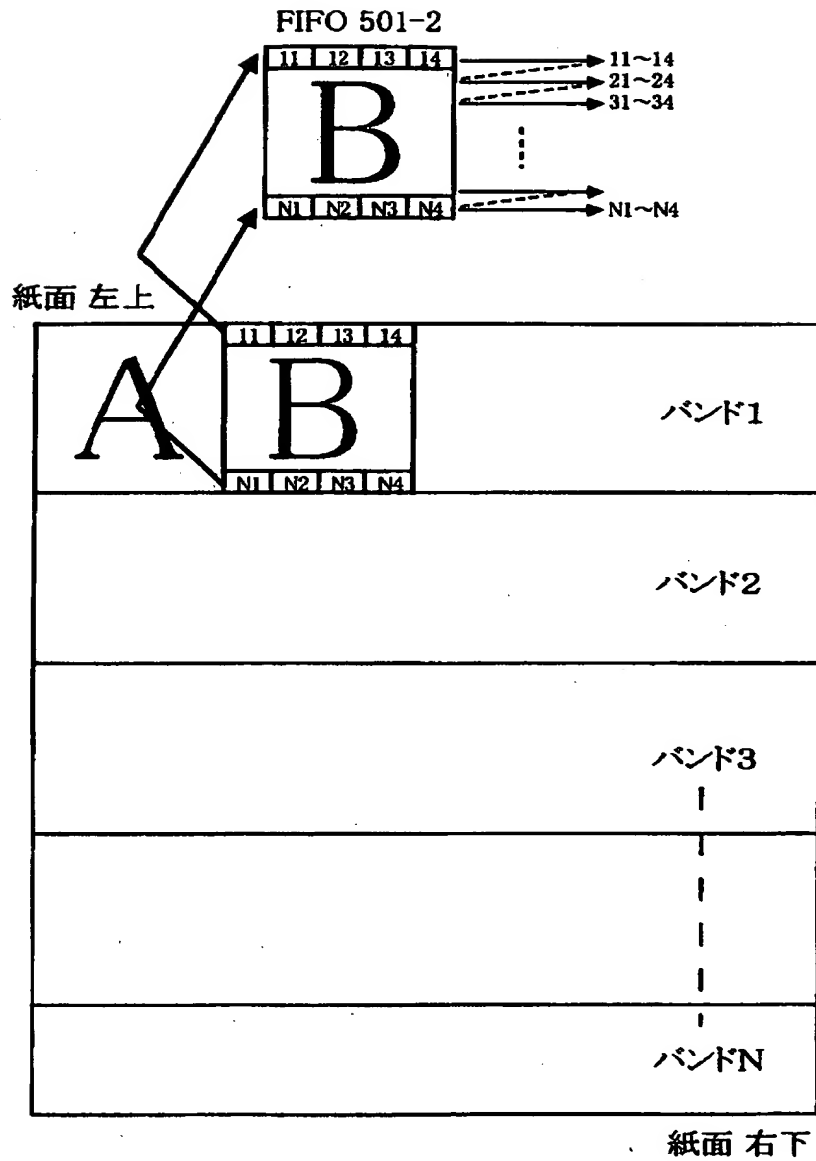


(図8) エンジン本体メモリ内・印字データ

【図9】

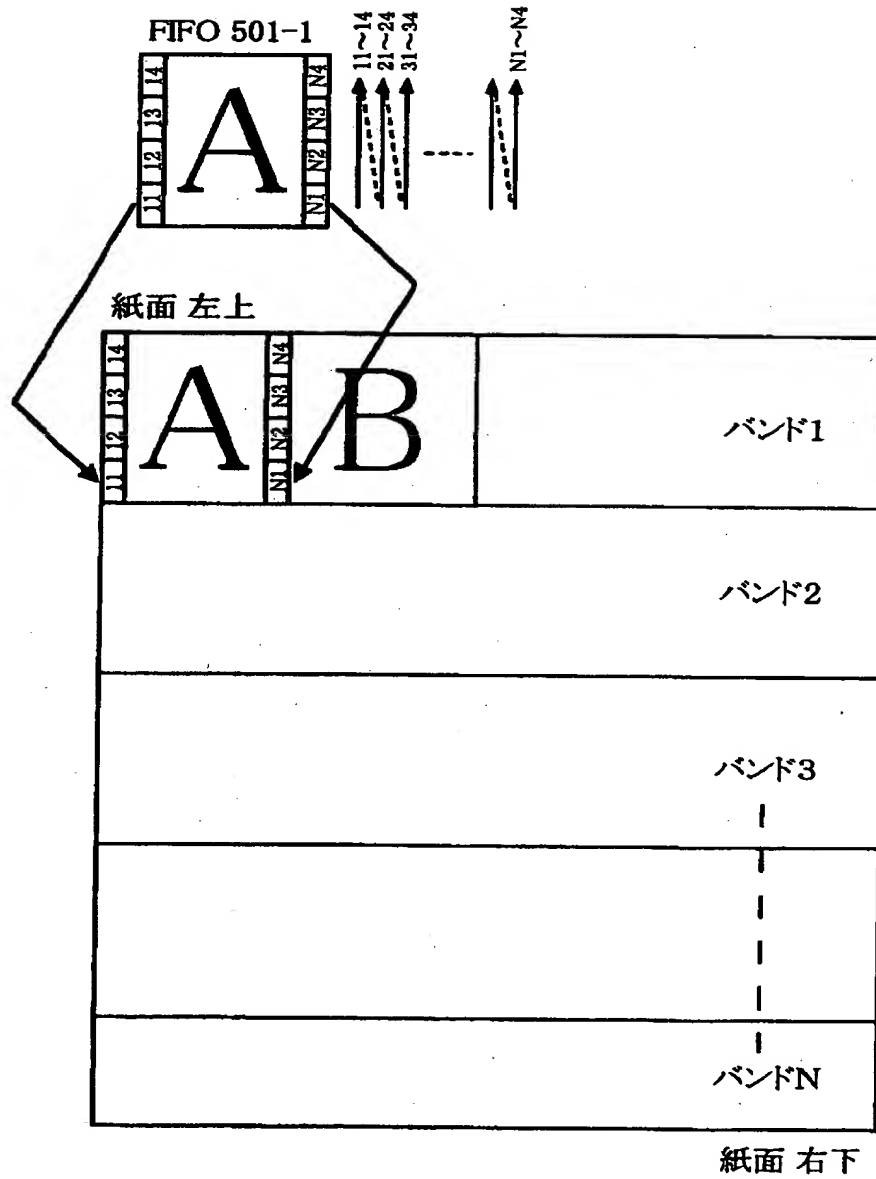


【図 1 0】



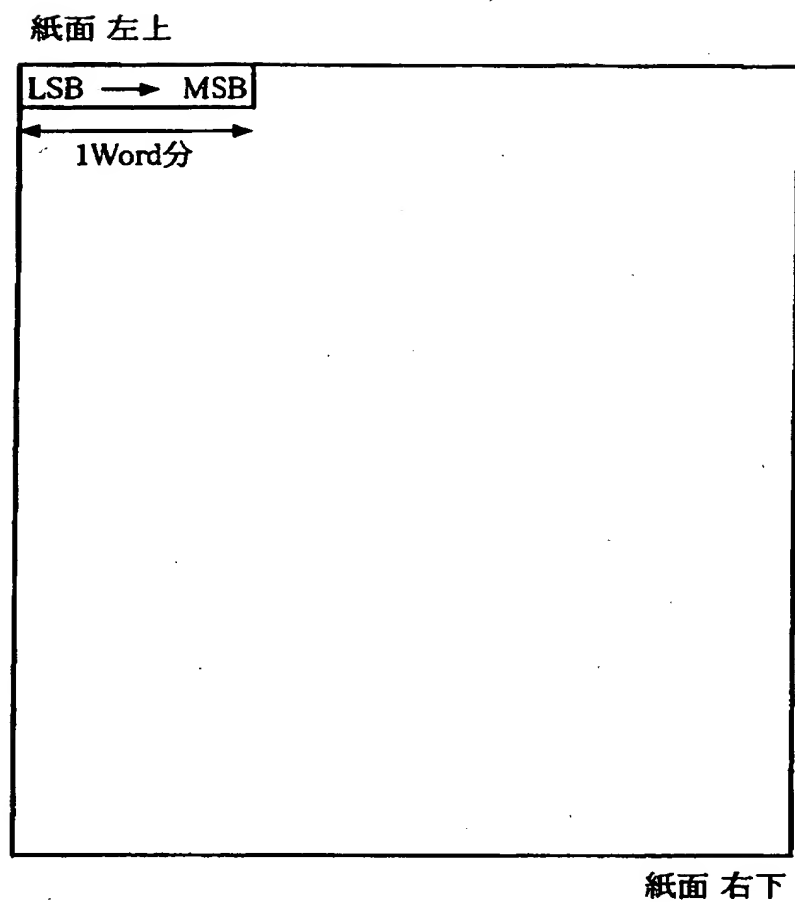
(図 1 0) PDLメモリ内・印字データ

【図 1 1】



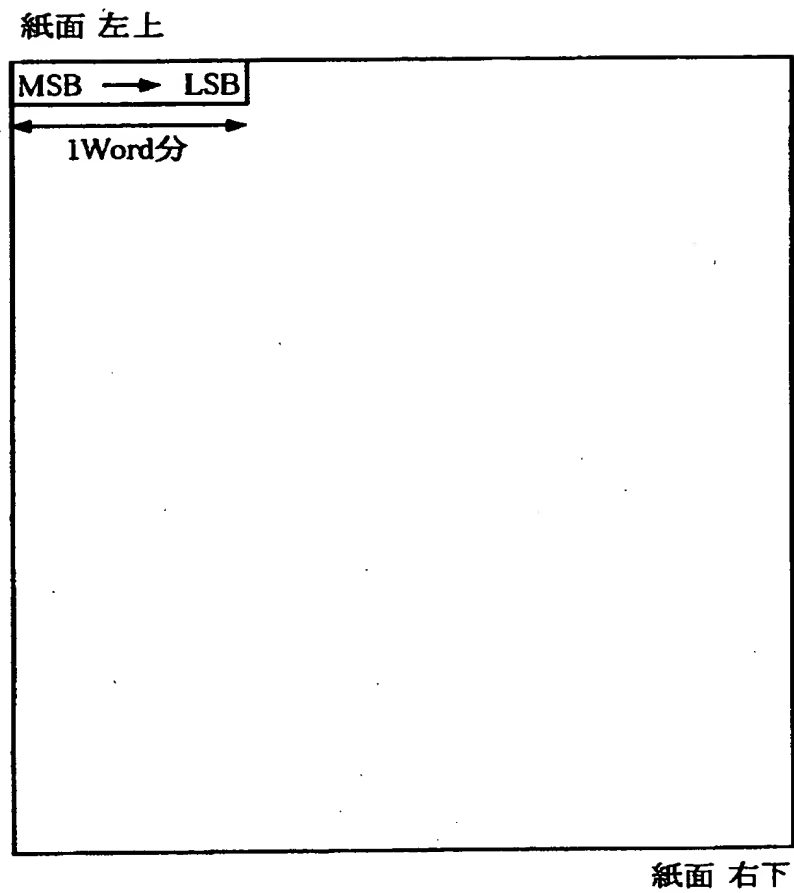
(図 1 1) エンジン本体メモリ内・印字データ

【図 1 2】



(図 1 2) PDLメモリ内・印字データの並び

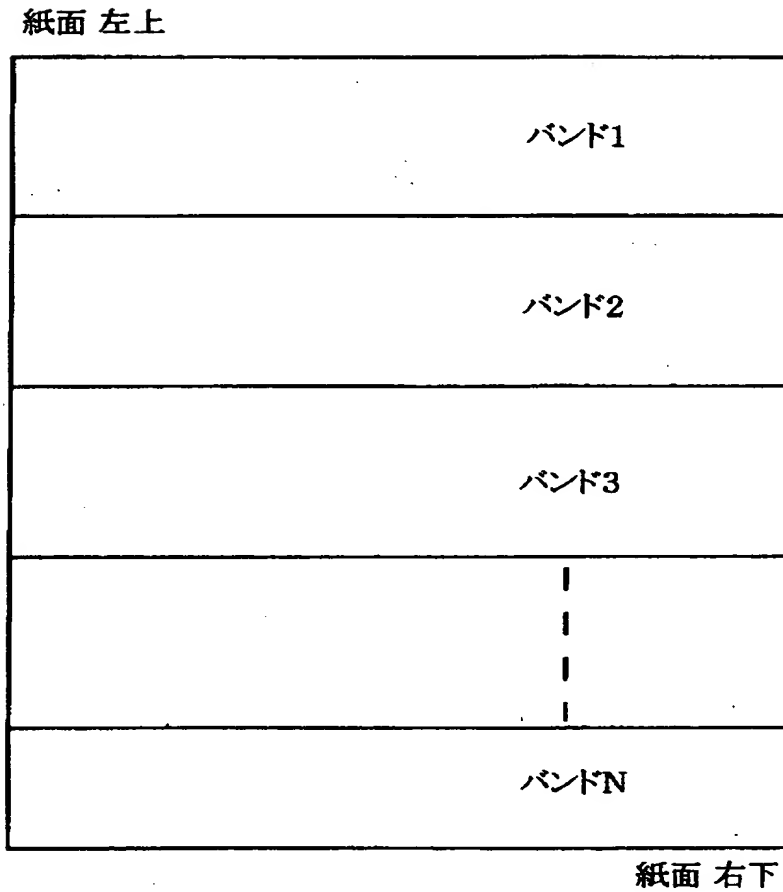
【図 1 3】



(図 1 3) エンジン本体メモリ内・印字データの並び

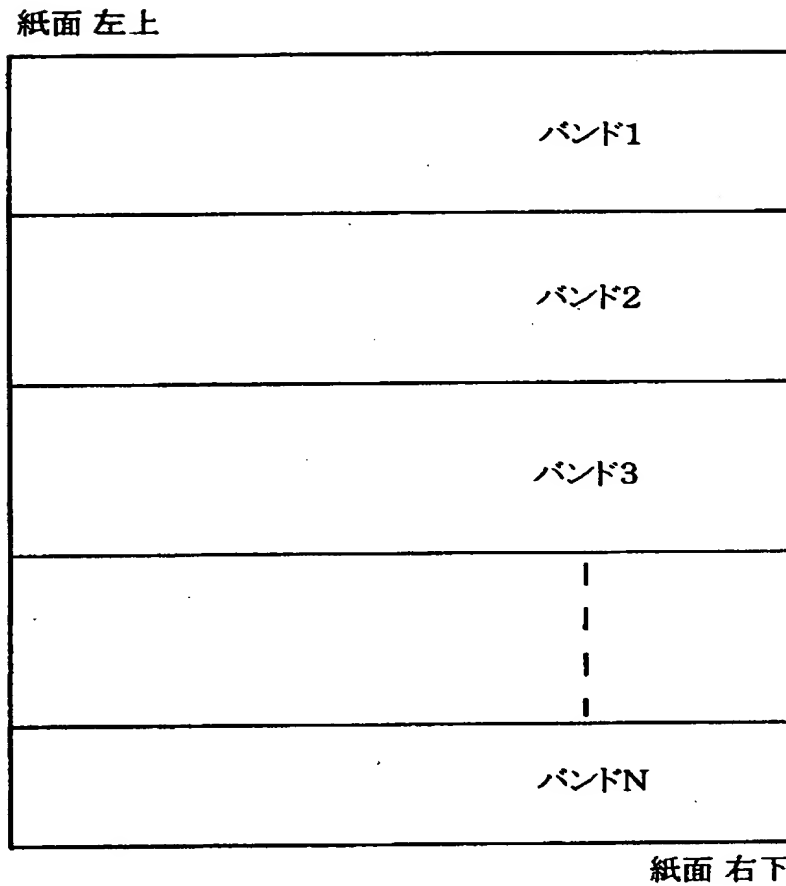


【図 1 4】



(図 1 4) PDLメモリ内・印字データ

【図 1 5】



(図 1 5) エンジン本体メモリ内・印字データ

【書類名】            要約書

【要約】

【課題】    印刷装置のスループットを低下させることなく画像の回転を行ない、高速な印刷を行なえるようにすることにある。

【解決手段】    PDLコントローラ部1と所定の記録方式により構成されたプリンタエンジン本体部2をPCIバス3により接続し、印刷すべき画像データをDMA転送する構成において、PDLコントローラ部1内のRAM106で展開した描画データを、一旦PCII/F109のM×Nビットのバッファメモリ（FIFO）に書き込み、該バッファメモリから読み出したデータをプリンタエンジン本体部2のRAM204に書き込む際に90度回転したデータをバッファメモリから読み出し、エンジン本体のメモリへDMA転送する。

【選択図】            図1

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都大田区下丸子3丁目30番2号
氏 名	キヤノン株式会社